

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 14 日  
Application Date

申請案號：092113023  
Application No.

申請人：矽品精密工業股份有限公司  
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2003 年 7 月 18 日  
Issue Date

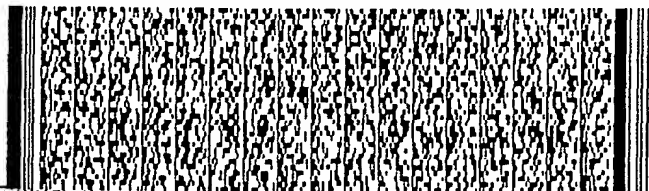
發文字號：09220721370  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	具有形成於晶片上之增層的半導體封裝件及其製法
	英文	SEMICONDUCTOR PACKAGE WITH BUILD-UP LAYERS FORMED ON CHIP AND FABRICATION METHOD OF THE SEMICONDUCTOR PACKAGE
二、 發明人 (共2人)	姓名 (中文)	1. 黃建屏
	姓名 (英文)	1. Chien Ping HUANG
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 新竹縣竹東鎮康莊街26巷8號
	住居所 (英文)	1. No. 8, Lane 26, Kang Chuang Sreet, Chutung Town, Hsinchu County, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 矽品精密工業股份有限公司
	名稱或姓名 (英文)	1. SILICONWARE PRECISION INDUSTRIES CO., LTD.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台中縣潭子鄉大豐路三段123號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 123, Sec. 3, Da Fong Road, Tantz, Taichung, Taiwan, R.O.C.
	代表人 (中文)	1. 林文伯
	代表人 (英文)	1. Wen-Po LIN



1731252.00.pdf

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	2. 王愉博
	姓 名 (英文)	2. Yu-Po WANG
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 苗栗縣竹南鎮南大路35-1號3樓
	住居所 (英 文)	2. 3F., No. 35-1 Nan Da Road, Chu Nan Chen, Miaoli, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	

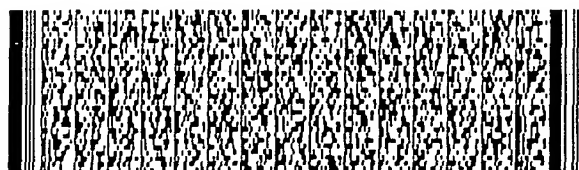
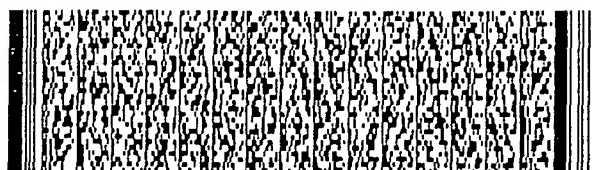


四、中文發明摘要 (發明名稱：具有形成於晶片上之增層的半導體封裝件及其製法)

一種具有形成於晶片上之增層 (build-up layer) 的半導體封裝件及其製法，係於晶片之鐳墊 (bond pad) 上形成多數導電凸塊 (conductive bump)，而使該晶片黏置於一載具 (carrier) 之凹穴 (cavity) 中。接著，敷設一介電層 (dielectric layer) 於晶片及載具上，用以遮覆導電凸塊並使導電凸塊之端部外露。然後，於該介電層上形成多數導電跡線 (conductive trace)，而使導電跡線與導電凸塊之端部電性連接。再於導電跡線上敷設一拒鐳劑 (solder mask) 層，該拒鐳劑層開設有多數開孔以使導電跡線的預定部分藉該開孔外露而得與多數鐳球 (solder ball) 鐳連。因此，藉導電凸塊之外露端部得突顯出晶片上鐳墊之位置，而使隨後形成於介電層上之導電跡線藉導電凸塊良好地與鐳墊電性連接，而能有效改善製成之封裝成品的良率。

六、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE WITH BUILD-UP LAYERS FORMED ON CHIP AND FABRICATION METHOD OF THE SEMICONDUCTOR PACKAGE)

A semiconductor package with build-up layers formed on a chip and a fabrication method of the semiconductor package are provided. A chip with a plurality of conductive bumps formed on bond pads thereof is received within a cavity of a carrier, and a dielectric layer encapsulates the conductive bumps whose ends are exposed. A plurality of conductive traces are formed on the dielectric



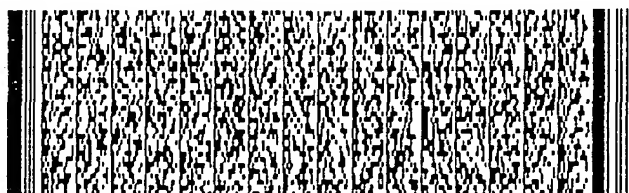
四、中文發明摘要 (發明名稱：具有形成於晶片上之增層的半導體封裝件及其製法)

本案代表圖：第 1 圖

20	晶片	200	鐳墊
201	作用表面	202	非作用表面
21	導電凸塊	210	端部
22	載具	220	凹穴
23	第一介電層	24	第一導電跡線
25	第二介電層	250	貫孔
26	第二導電跡線	27	拒鐳劑層
270	開孔	28	鐳球

六、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE WITH BUILD-UP LAYERS FORMED ON CHIP AND FABRICATION METHOD OF THE SEMICONDUCTOR PACKAGE)

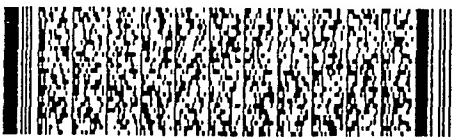
layer and electrically connected to the ends of the conductive bumps. A solder mask layer is applied over the conductive traces and formed with openings via which predetermined portions of the conductive traces are exposed and bonded to a plurality of solder balls. Thereby, positions of the bond pads are easily recognized and distinguished by the exposed ends of the



四、中文發明摘要 (發明名稱：具有形成於晶片上之增層的半導體封裝件及其製法)

六、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE WITH BUILD-UP LAYERS FORMED ON CHIP AND FABRICATION METHOD OF THE SEMICONDUCTOR PACKAGE)

conductive bumps, making the conductive traces capable of being well electrically connected through the conductive bumps to the bond pads to improve yield of the fabricated packages.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

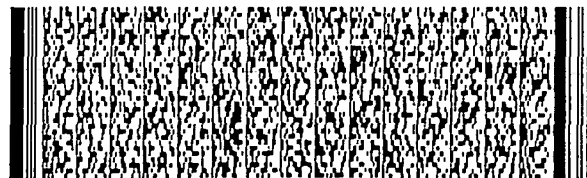
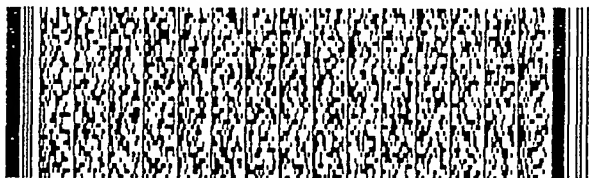
### 【發明所屬之技術領域】

本發明係有關一種半導體封裝件及其製法，尤指一種具有形成於晶片上之增層的半導體封裝件，以及製造該半導體封裝件之方法。

### 【先前技術】

半導體封裝件係用以承載至少一積體電路元件例如半導體晶片，且其尺寸係朝輕薄短小發展。針對此目的，遂發展出一種晶片級封裝件 (chip scale package, CSP)，其尺寸係等於或略大於晶片之尺寸。

第3圖顯示一種習知晶片級封裝件，其係直接於晶片上形成增層 (build-up layers)，而無需使用例如基板或導線架等晶片承載件 (chip carrier) 以供承載半導體晶片之用。如圖所示，多數形成於晶片 10 之作用表面 (active surface) 100 上的增層，包括：一介電層 11，敷設於晶片 10 之作用表面 100 上並開設有多數貫孔 110，以使晶片 10 上的鐳墊 101 藉該貫孔 110 外露；以及多數導電跡線 12，形成於該介電層 11 上並電性連接至晶片 10 上外露的鐳墊 101。然後，敷設一拒鐳劑層 13 於導電跡線 12 上並開設多數貫穿該拒鐳劑層 13 之開孔 130，以使導電跡線 12 之預定部分藉該開孔 130 外露而與鐳球 14 鐳連，該鐳球 14 則作為封裝件之輸入/輸出 (input/output, I/O) 端以與外界裝置 (未圖示) 電性連接。然而，是種晶片級封裝結構之缺點在於因受限於晶片之尺寸或大小而無法提供更多表面區域以承載更多數量之鐳球供與外界電性連接之用。



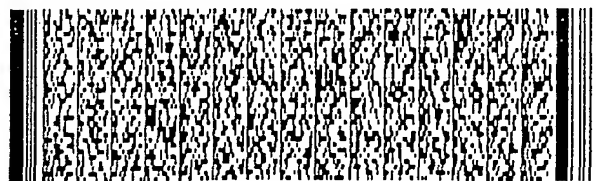
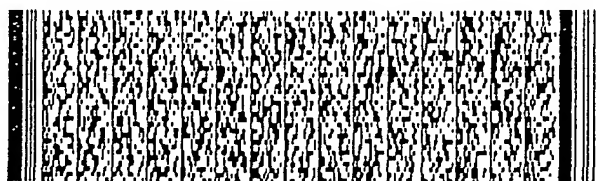


## 五、發明說明 (2)

鑑此，美國專利第 6,271,469 號案揭露另一種具有形成於晶片上之增層的封裝結構，以提供額外或較多的表面區域供與外界電性連接之用。如第 4 圖所示，是種封裝結構利用一封裝膠體 15 遮覆住晶片 10 之非作用表面 102 及側面 103，而使晶片 10 之作用表面 100 外露且與封裝膠體 15 之一表面 150 齊平。當晶片 10 上形成介電層 11 (下稱 "第一介電層") 及導電跡線 12 (下稱 "第一導電跡線") 後，於該第一導電跡線 12 上敷設一第二介電層 16 並開設多數貫穿第二介電層 16 之貫孔 160，以使第一導電跡線 12 的預定部分藉該貫孔 160 外露。接著，於第二介電層 16 上形成多數第二導電跡線 17，而使第二導電跡線 17 與第一導電跡線 12 的外露部分電性連接。然後，於第二導電跡線 17 上敷設拒銲劑層 13，使第二導電跡線 17 的預定部分藉拒銲劑層 13 之開孔 130 外露而與銲球 14 銲連。

然而，上揭封裝結構之缺點在於當使用雷射鑽孔 (laser drilling) 技術開設貫穿第一介電層之貫孔以露出晶片上的銲墊時，晶片上的銲墊為第一介電層所遮覆，而使雷射通常難以準確地辨認出銲墊的位置，因而無法使所開設的貫孔精確地對應至銲墊的位置。因此，由於晶片上的銲墊無法完全露出，故難以確保導電跡線與銲墊間之電性連接品質及製成之封裝成品的良率。

有鑑於此，如何提供一種具有形成於晶片上之增層的半導體封裝件，使晶片上的銲墊得準確地露出而與導電跡線電性連接以改善製成之封裝成品的良率，實為一重要課



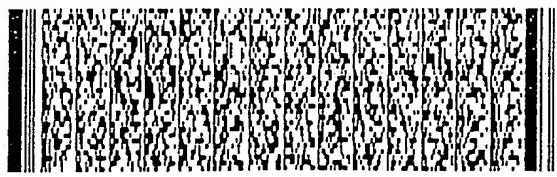
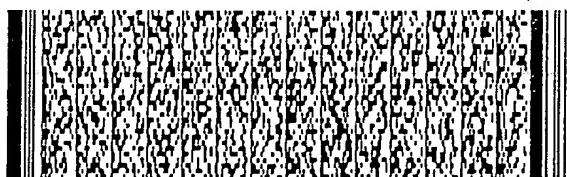
### 五、發明說明 (3)

題。

#### 【發明內容】

本發明之主要目的在於提供一種具有形成於晶片上之增層的半導體封裝件及其製法，係於晶片之鐳墊上形成多數導電凸塊以突顯出鐳墊的位置，俾確保導電跡線與鐳墊間之電性連接，而能改善製成之封裝成品之良率。

為達成上揭及其他目的，本發明揭露一種具有形成於晶片上之增層的半導體封裝件，包括：一晶片，具有一作用表面及一相對之非作用表面，並於該作用表面上形成有多數鐳墊；多數導電凸塊，分別形成於該晶片之鐳墊上；一載具 (carrier)，具有一凹穴 (cavity)，以使該形成有多數導電凸塊之晶片黏置於該凹穴中，而令該晶片之非作用表面與該凹穴之底面觸接，其中該凹穴之深度係介於該晶片厚度與導電凸塊高度的總和與該晶片厚度之間；一第一介電層，敷設於該晶片之作用表面及該載具上並填充於該凹穴中，用以遮覆該導電凸塊並使導電凸塊之端部外露；多數第一導電跡線，形成於該第一介電層上並電性連接至該導電凸塊之外露端部；一第二介電層，敷設於該第一導電跡線上並開設有多數貫孔，以使該第一導電跡線之預定部分藉該貫孔外露；多數第二導電跡線，形成於該第二介電層上並電性連接至該第一導電跡線之外露部分；一拒鐳劑層，敷設於該第二導電跡線上並開設有多數開孔，以使該第二導電跡線之預定部分藉該開孔外露；以及一鐳球，形成於各該第二導電跡線之外露部分上。



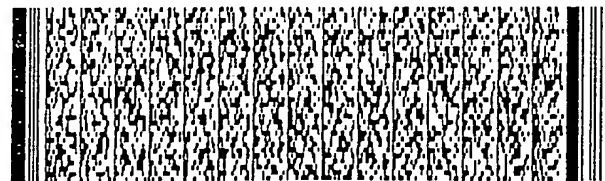
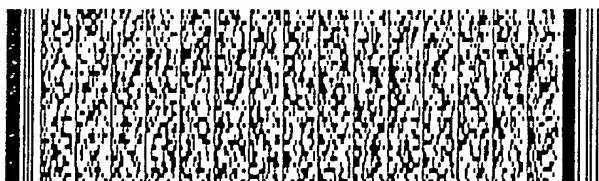
#### 五、發明說明 (4)

於上述半導體封裝件中，多數導電凸塊係直接形成於晶片之鐳墊上，然後於晶片及用以容納晶片之載具上敷設一第一介電層，使該第一介電層遮覆住導電凸塊，並使導電凸塊之端部露出第一介電層外。藉導電凸塊之外露端部得突顯出晶片上鐳墊的位置以供辨識，而使形成於第一介電層上之導電跡線得藉導電凸塊良好地電性連接至鐳墊，因而改善製成之封裝成品之良率。因此，該半導體封裝件無需藉形成於第一介電層中之貫孔以露出晶片上之鐳墊，而能摒除習知技術中用以開設第一介電層之貫孔的雷射鑽孔技術難以準確地辨識出鐳墊位置而無法使鐳墊精確或完整地外露因而導致鐳墊與導電跡線間電性連接不良等缺點。同時，用以容納晶片之載具可為一金屬散熱塊以有效散逸晶片運作所產生之熱量，而能增進封裝件之散熱效率。

#### 【實施方式】

以下即配合所附圖式第1及2A至2F圖詳細說明本發明所揭露之具有形成於晶片上之增層的半導體封裝件及其製法的實施例。

如第1圖所示，本發明之半導體封裝件包括：一晶片20，具有一作用表面201及一相對之非作用表面202，並於該作用表面201上形成有多數鐳墊200；多數導電凸塊21，分別形成於晶片20之鐳墊200上；一載具(carrier)22，具有一凹穴(cavity)220，以使晶片20藉其非作用表面202黏置於凹穴220中；一第一介電層23，敷設於晶片20之作用



##### 五、發明說明 (5)

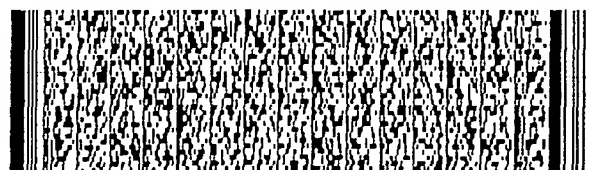
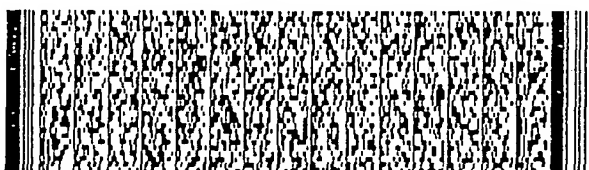
表面 201 及載具 22 上並填充於凹穴 220 中，並使導電凸塊 21 之端部 210 外露；多數第一導電跡線 24，形成於第一介電層 23 上並電性連接至導電凸塊 21 之外露端部 210；一第二介電層 25，敷設於第一導電跡線 24 上並開設有多數貫孔 250，以使第一導電跡線 24 之預定部分藉該貫孔 250 外露；多數第二導電跡線 26，形成於第二介電層 25 上並電性連接至第一導電跡線 24 之外露部分；一拒銲劑層 27，敷設於第二導電跡線 26 上並開設有多數開孔 270，以使第二導電跡線 26 之預定部分藉該開孔 270 外露；以及多數銲球 28，分別形成於第二導電跡線 26 之外露部分上。

上述半導體封裝件得以第 2A-2F 圖所示之製程步驟製得。

首先，如第 2A 圖所示，製備一晶圓 2，其由多數晶片 20 構成，各晶片 20 具有一作用表面 201 及一相對之非作用表面 202，並於各晶片 20 之作用表面 201 上形成有多數銲墊 200。接著，進行一銲塊或栓塊形成 (bumping or stud bumping) 步驟，以於晶片 20 之各銲墊 200 上形成一導電凸塊 21，該導電凸塊 21 可為銲錫凸塊 (solder bump)、金質銲塊 (gold bump)、或金質栓塊 (gold stud bump) 等。

接著，如第 2B 圖所示，進行一切單 (singulation) 作業切割晶圓 2 以形成多數單離之晶片 20，而各晶片 20 形成有多數導電凸塊 21。

然後，如第 2C 圖所示，以單一之晶片 20 為例，製備一載具 22，例如金屬散熱塊、或以陶瓷、樹脂等不具導電性

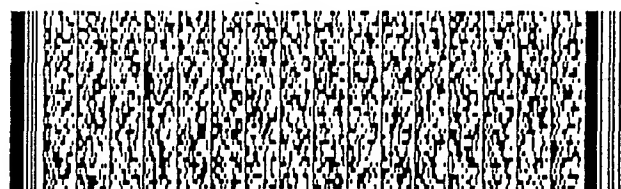
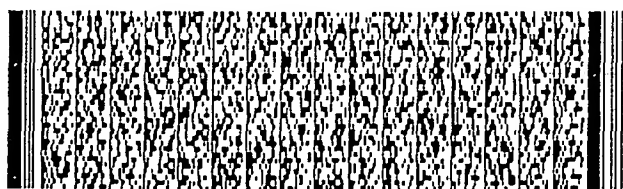


##### 五、發明說明 (6)

材料製成，該載具 22 開設有一凹穴 220，使形成有多數導電凸塊 21 之晶片 20 藉一膠黏劑 (未圖式) 黏置於凹穴 220 中，其中晶片 20 之非作用表面 202 與凹穴 220 之底面觸接。該凹穴 220 之深度 D 係介於晶片 20 厚度 T1 與導電凸塊 21 高度 T2 的總和 ( $T1+T2$ ) 與晶片 20 厚度 T1 之間，且凹穴 220 的空間需足以使晶片 20 完全地容置於其中，而晶片 20 上的導電凸塊 21 則部分地突伸出凹穴 220 之開口。該載具 22 係用以保護晶片 20 使其免受外界污染源所侵害，並提供額外的表面區域 (即載具 22 上凹穴 220 開口所在的表面 221) 以供後續形成更多輸入/輸出 (input/output, I/O) 端之用，且當載具 22 為一金屬散熱塊時，其亦得增加散熱面積而使晶片 20 運作所產生之熱量得藉載具 22 而能有效地散逸至外界。

然後，如第 2D 圖所示，利用一習知沉積製程例如旋塗技術 (spin coating) 於晶片 20 之作用表面 201 及載具 22 的表面 221 上敷設一第一介電層 23，使該第一介電層 23 亦填充於凹穴 220 而完整地遮覆住晶片 20 及導電凸塊 21。接著，採用研磨 (grinding, 例如機械研磨) 或化學蝕刻 (chemical etching) 等方式部分地移除第一介電層 23 以露出導電凸塊 21 之端部 210，俾進行後續製程以於外露之導電凸塊 21 上形成增層 (build-up layer)。

隨後，利用習知例如光微影 (photolithography) 技術於第一介電層 23 上形成多數第一導電跡線 24，而使各第一導電跡線 24 與至少一導電凸塊 21 之外露端部 210 電性連接，該第一導電跡線 24 得以一例如銅、鋁、或其合金等之



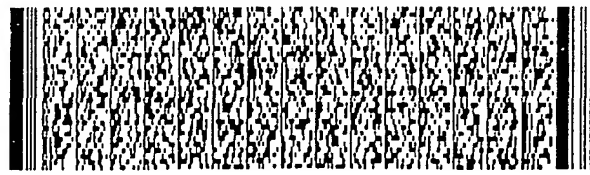
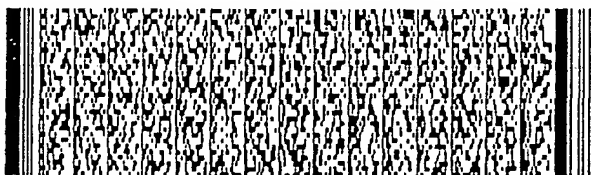
#### 五、發明說明 (7)

導電材料製成。

如第 2E 圖所示，形成上述第一導電跡線 24 後，於該第一導電跡線 24 上敷設一第二介電層 25，並利用一雷射鑽孔 (laser drilling) 技術開設多數貫穿第二介電層 25 之貫孔 (via) 250，以使第一導電跡線 24 之預定部分藉該貫孔 250 外露。接著，於第二介電層 25 上形成多數第二導電跡線 26，而使各第二導電跡線 26 與至少一第一導電跡線 24 之外露部分電性連接。

如第 2F 圖所示，然後於第二導電跡線 26 上敷設一拒錫劑層 27，並開設多數貫穿拒錫劑層 27 之開孔 270，以使第二導電跡線 26 之預定部分藉該開孔 270 外露，而該第二導電跡線 26 之外露部分可為終端部位 (terminal)。最後，進行一習知網印 (screen printing) 作業於各第二導電跡線 26 之外露部分 (終端) 上形成一錫球 28，該錫球 28 作為半導體封裝件之輸入/輸出端，以使晶片 20 藉之與外界裝置 (未圖示，如印刷電路板等) 成電性連接關係。

於上述半導體封裝件中，多數導電凸塊係直接形成於晶片之錫墊上，然後於晶片及用以容納晶片之載具上敷設一第一介電層，使該第一介電層遮覆住導電凸塊，並使導電凸塊之端部露出第一介電層外。藉導電凸塊之外露端部得突顯出晶片上錫墊的位置以供辨識，而使形成於第一介電層上之導電跡線得藉導電凸塊良好地電性連接至錫墊，因而改善製成之封裝成品的良率。因此，該半導體封裝件無需藉形成於第一介電層中之貫孔以露出晶片上之錫墊，



#### 五、發明說明 (8)

而能摒除習知技術中用以開設第一介電層之貫孔的雷射鑽孔技術難以準確地辨識出鐸墊位置而無法使鐸墊精確或完整地外露因而導致鐸墊與導電跡線間電性連接不良等缺點。同時，用以容納晶片之載具可為一金屬散熱塊以有效散逸晶片運作所產生之熱量，而能增進封裝件之散熱效率。

惟以上所述者，僅係用以說明本發明之具體實施例而已，並非用以限定本發明之可實施範圍，舉凡熟習該項技藝者在未脫離本發明所指示之精神與原理下所完成之一切等效改變或修飾，仍應皆由後述之專利範圍所涵蓋。



## 圖式簡單說明

### 【圖式簡單說明】

為讓本發明之上述及其他目的、特徵以及優點能更明顯易懂，將與較佳實施例，並配合所附圖示，詳細說明本發明之實施例，所附圖示之內容簡述如下：

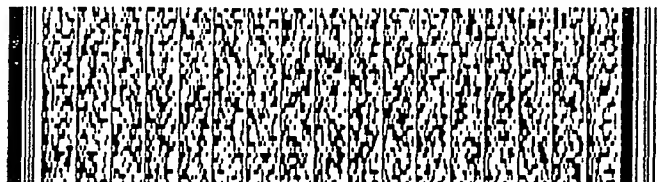
第1圖係本發明之半導體封裝件之剖視圖；

第2A至2F圖係本發明之半導體封裝件之製造過程步驟示意圖；

第3圖係一習知半導體封裝件之剖視圖；以及

第4圖係另一習知半導體封裝件之剖視圖。

10	晶片	100	作用表面
101	鐳墊	102	非作用表面
103	側面	11	(第一)介電層
110	貫孔	12	(第一)導電跡線
13	拒鐳劑層	130	開孔
14	鐳球	15	封裝膠體
150	表面	16	第二介電層
160	貫孔	17	第二導電跡線
2	晶圓	20	晶片
200	鐳墊	201	作用表面
202	非作用表面	21	導電凸塊
210	端部	22	載具
220	凹穴	221	表面
23	第一介電層	24	第一導電跡線





圖式簡單說明

25	第二介電層	250	貫孔
26	第二導電跡線	27	拒鐸劑層
270	開孔	28	鐸球
D	(凹穴)深度	T1	(晶片)厚度
T2	(導電凸塊)高度		



#### 六、申請專利範圍

1. 一種具有形成於晶片上之增層的半導體封裝件，包括：

一晶片，具有一作用表面及一相對之非作用表面，並於該作用表面上形成有多數鐳墊；

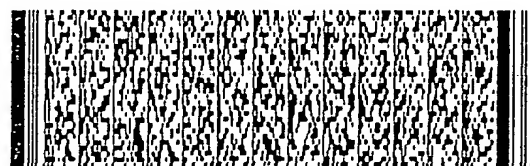
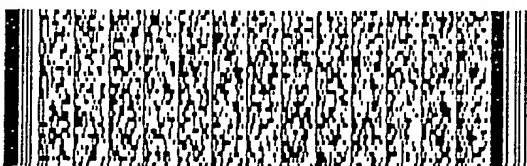
多數導電凸塊，分別形成於該晶片之鐳墊上；

一載具，具有一凹穴，以使該形成有多數導電凸塊之晶片黏置於該凹穴中，而令該晶片之非作用表面與該凹穴之底面觸接，其中該凹穴之深度係介於該晶片厚度與導電凸塊高度的總和與該晶片厚度之間；

一第一介電層，敷設於該晶片之作用表面及該載具上並填充於該凹穴中，用以遮覆該導電凸塊並使導電凸塊之端部外露；以及

多數第一導電跡線，形成於該第一介電層上並電性連接至該導電凸塊之外露端部。

2. 如申請專利範圍第1項之半導體封裝件，復包括：一第二介電層，敷設於該第一導電跡線上並開設有多數貫孔，以使該第一導電跡線之預定部分藉該貫孔外露。
3. 如申請專利範圍第2項之半導體封裝件，復包括：多數第二導電跡線，形成於該第二介電層上並電性連接至該第一導電跡線之外露部分。
4. 如申請專利範圍第3項之半導體封裝件，復包括：一拒鐳劑層，敷設於該第二導電跡線上並開設有多數開孔，以使該第二導電跡線之預定部分藉該開孔外露。
5. 如申請專利範圍第4項之半導體封裝件，復包括：多數



#### 六、申請專利範圍

銲球，分別形成於該第二導電跡線之外露部分上。

6. 如申請專利範圍第1項之半導體封裝件，其中，該導電凸塊係選自銲錫凸塊、金質銲塊、及金質栓塊所組成之組群。
7. 如申請專利範圍第1項之半導體封裝件，其中，該載具係以一不具導電性材料製成。
8. 如申請專利範圍第1項之半導體封裝件，其中，該載具係一金屬散熱塊。
9. 一種具有形成於晶片上之增層的半導體封裝件之製法，包括下列步驟：

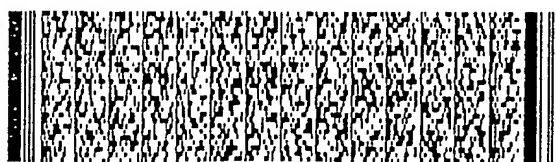
製備一晶圓，由多數晶片構成，各該晶片具有一作用表面及一相對之非作用表面，並於該作用表面上形成有多數銲墊；

分別形成多數導電凸塊於各該晶片之銲墊上；

切割該晶圓以形成多數單離之晶片，而各該晶片形成有多數導電凸塊；

提供一具有凹穴之載具，以使至少一該形成有多數導電凸塊之晶片黏置於該凹穴中，而令該晶片之非作用表面與該凹穴之底面觸接，其中該凹穴之深度係介於該晶片厚度與導電凸塊高度的總和與該晶片厚度之間；

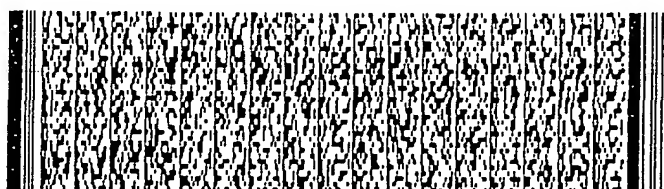
敷設一第一介電層於該晶片之作用表面及該載具上，且使該第一介電層填充於該凹穴中，用以遮覆該導電凸塊並使導電凸塊之端部外露；以及



## 六、申請專利範圍

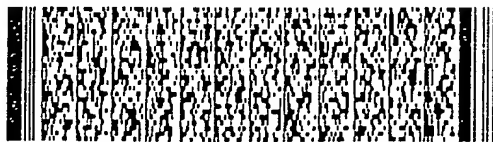
形成多數第一導電跡線於該第一介電層上，而使該第一導電跡線電性連接至該導電凸塊之外露端部。

10. 如申請專利範圍第9項之製法，復包括：敷設一第二介電層於該第一導電跡線上，並開設多數貫穿該第二介電層之貫孔，以使該第一導電跡線之預定部分藉該貫孔外露。
11. 如申請專利範圍第10項之製法，復包括：形成多數第二導電跡線於該第二介電層上，而使該第二導電跡線電性連接至該第一導電跡線之外露部分。
12. 如申請專利範圍第11項之製法，復包括：敷設一拒鋸劑層於該第二導電跡線上，並開設有多數貫穿該拒鋸劑層之開孔，以使該第二導電跡線之預定部分藉該開孔外露。
13. 如申請專利範圍第12項之製法，復包括：分別形成多數鋸球於該第二導電跡線之外露部分上。
14. 如申請專利範圍第9項之製法，其中，研磨該第一介電層以使該導電凸塊之端部外露。
15. 如申請專利範圍第10項之製法，其中，該第二介電層之貫孔係以雷射鑽孔技術形成者。
16. 如申請專利範圍第9項之製法，其中，該導電凸塊係選自鋸錫凸塊、金質鋸塊、及金質栓塊所組成之組群。
17. 如申請專利範圍第14項之製法，其中，部分之該第一介電層係利用機械研磨技術移除，以使該導電凸塊之端部外露。

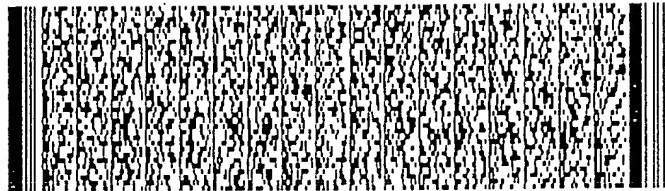


六、申請專利範圍

- 18.如申請專利範圍第14項之製法，其中，部分之該第一介電層係利用化學蝕刻技術移除，以使該導電凸塊之端部外露。
- 19.如申請專利範圍第9項之製法，其中，該載具係以一不具導電性材料製成。
- 20.如申請專利範圍第9項之製法，其中，該載具係一金屬散熱塊。



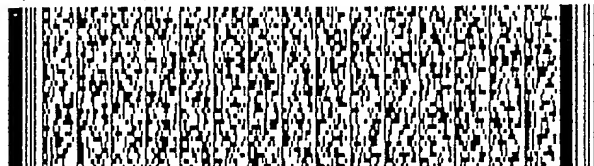
第 1/20 頁



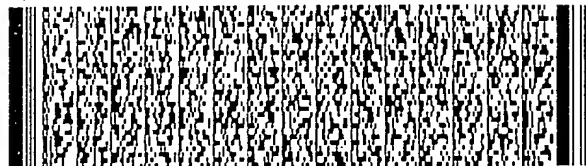
第 2/20 頁



第 3/20 頁



第 3/20 頁



第 4/20 頁



第 5/20 頁



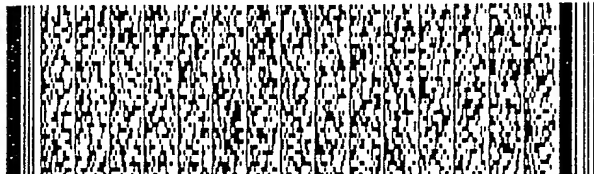
第 6/20 頁



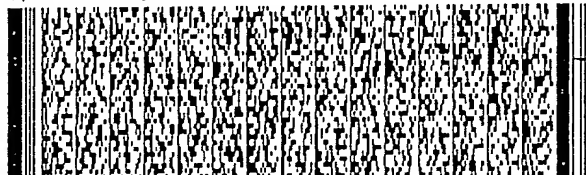
第 7/20 頁



第 7/20 頁



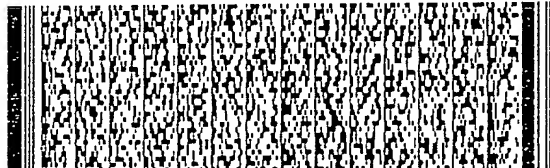
第 8/20 頁



第 8/20 頁



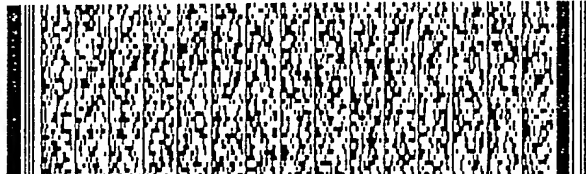
第 9/20 頁



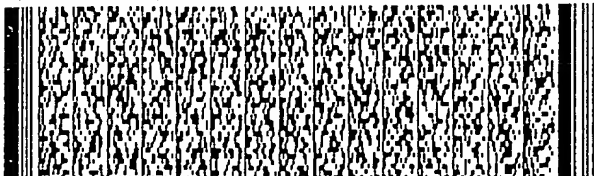
第 9/20 頁



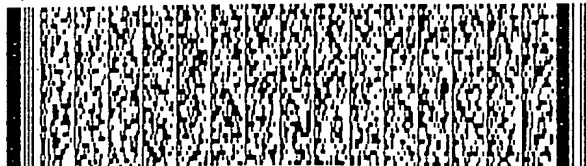
第 10/20 頁



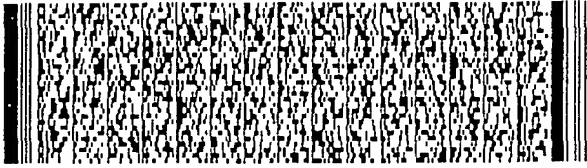
第 10/20 頁



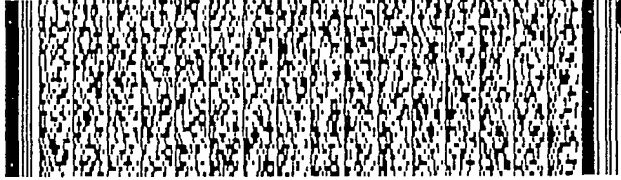
第 11/20 頁



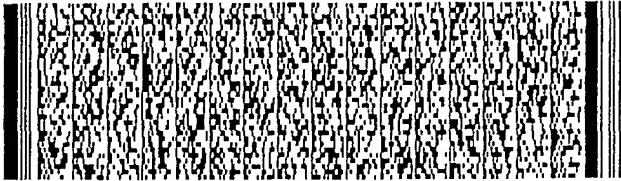
第 11/20 頁



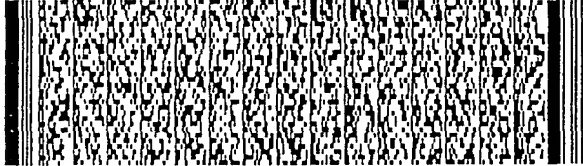
第 12/20 頁



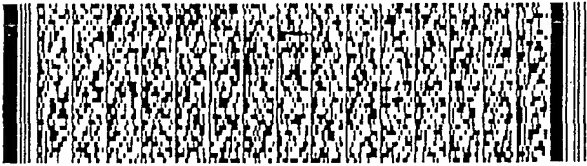
第 12/20 頁



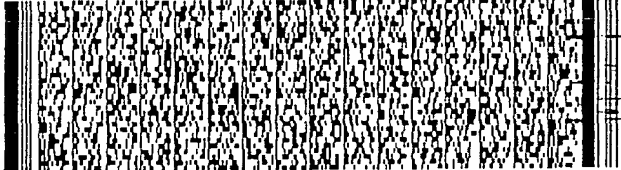
第 13/20 頁



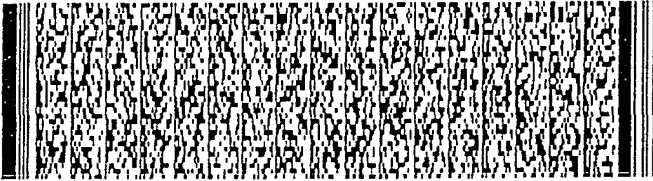
第 13/20 頁



第 14/20 頁



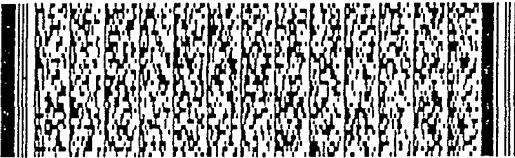
第 15/20 頁



第 16/20 頁



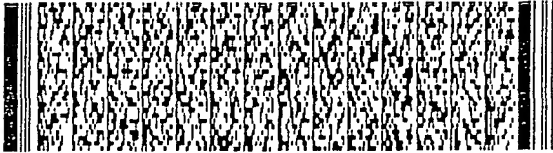
第 17/20 頁



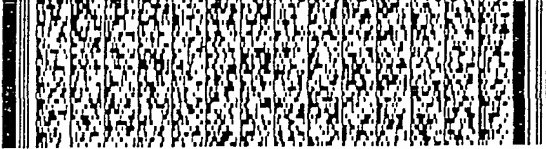
第 17/20 頁



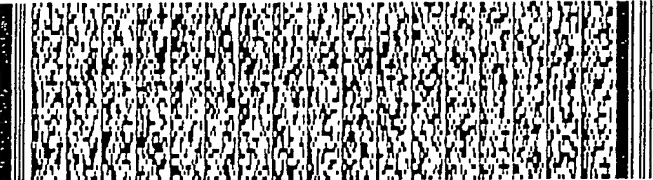
第 18/20 頁



第 18/20 頁

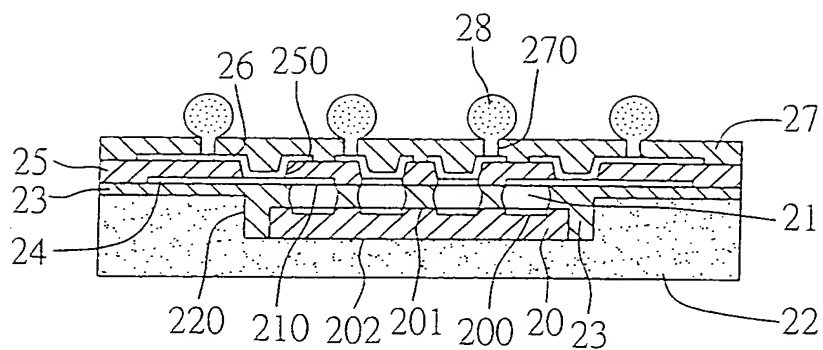


第 19/20 頁

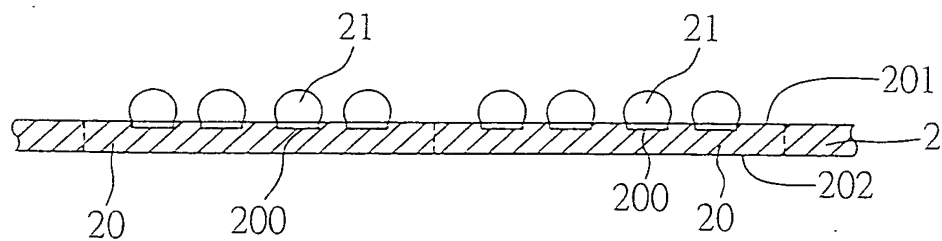


第 20/20 頁

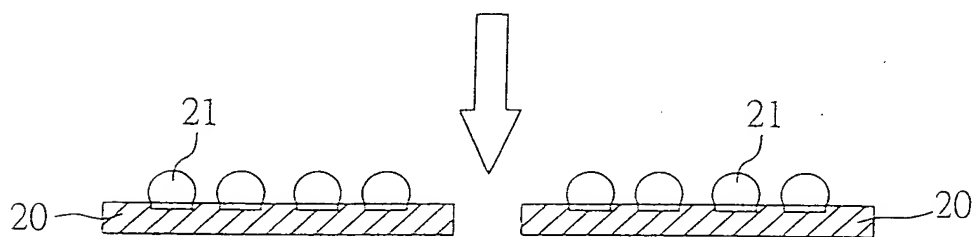




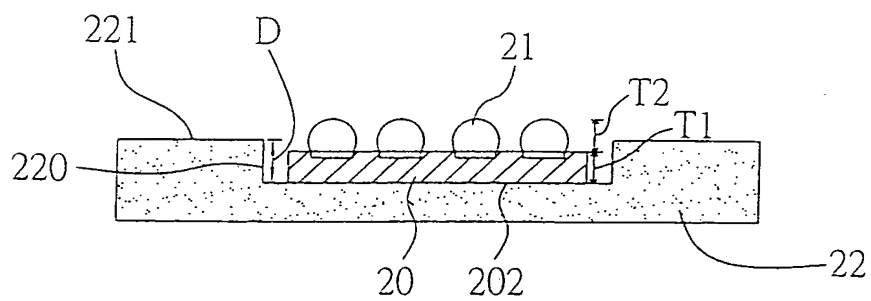
第 1 圖 (代表圖)



第 2A 圖

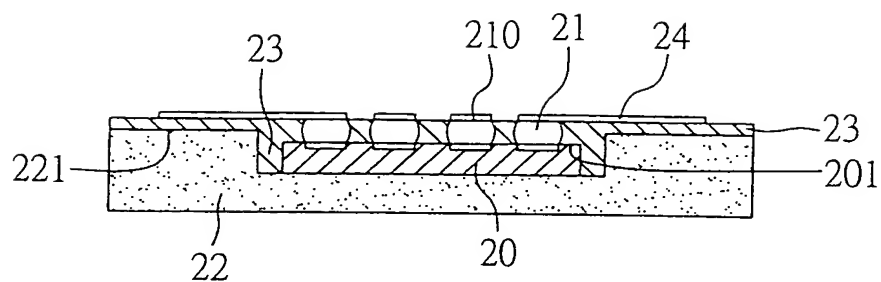


第 2B 圖

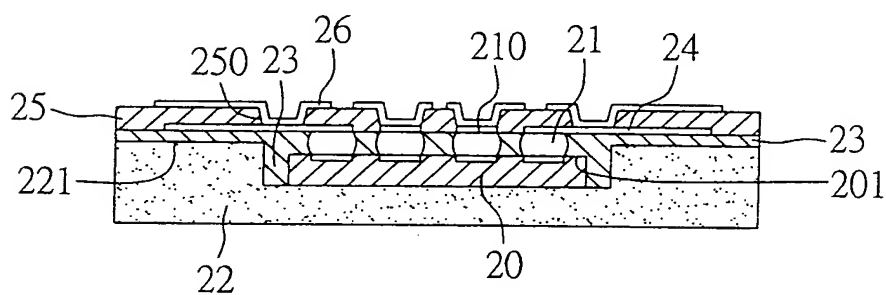


第 2C 圖

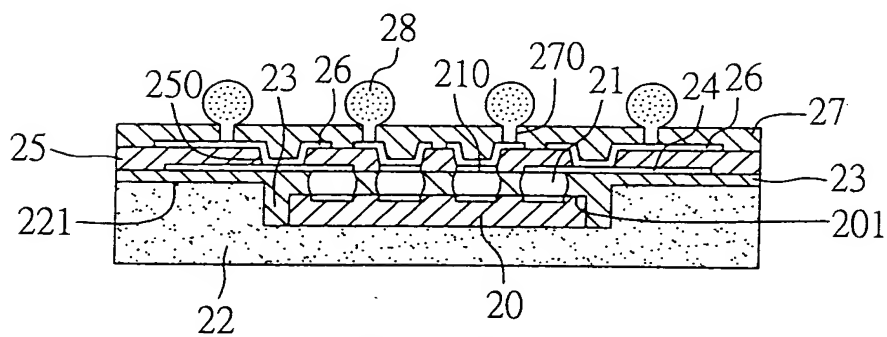




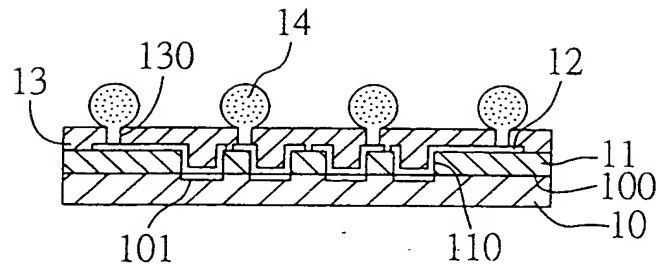
第 2D 圖



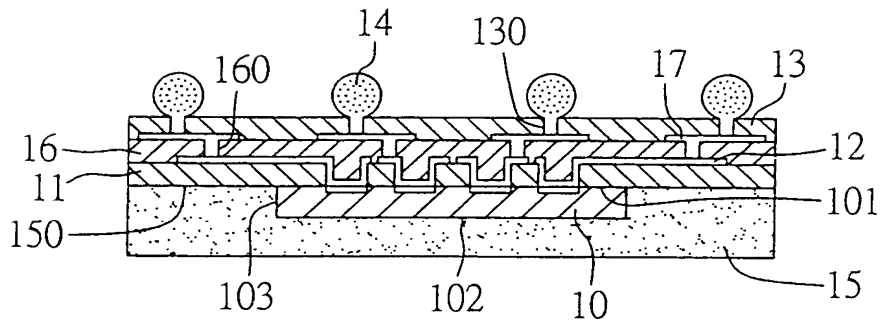
第 2E 圖



第 2F 圖



第 3 圖 (先前技術)



第 4 圖 (先前技術)